

PATENT
2421-000037/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Ja-Hum KU, et al. Conf. No.: Not yet Assigned
Filing Date: March 30, 2004 Examiner: Unknown
Application No.: New Application Group Art Unit: Not yet Assigned
Title: NICKEL SALICIDE PROCESS WITH REDUCED DOPANT DEACTIVATION

PRIORITY LETTER

MAIL STOP PATENT APPLICATION

March 30, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).


<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
P2003-0042838	06/27/2003	KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By


John A. Castellano, Reg. No. 35,094

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

Enclosure: Certified Copy of Priority Document (P2003-0042838)



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0042838
Application Number

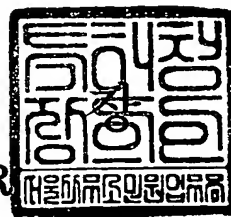
출원 년 월 일 : 2003년 06월 27일
Date of Application JUN 27, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 20 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.06.27
【발명의 명칭】 니켈 합금 실리사이드 공정, 이를 사용하여 반도체소자를 제조하는 방법, 그에 의해 형성된 니켈 합금 실리사이드막 및 이를 사용하여 제조된 반도체소자
【발명의 영문명칭】 Nickel alloy silicide process, Methods of fabricating a semiconductor device using the same, nickel alloy silicide layer formed thereby and semiconductor devices fabricated using the same
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박상수
【대리인코드】 9-1998-000642-5
【포괄위임등록번호】 2000-054081-9
【발명자】
【성명의 국문표기】 구자흠
【성명의 영문표기】 KU, JA HUM
【주민등록번호】 680110-1010516
【우편번호】 463-500
【주소】 경기도 성남시 분당구 구미동 무지개마을 건영아파트 1004-1401
【국적】 KR
【발명자】
【성명의 국문표기】 선민철
【성명의 영문표기】 SUN, MIN CHUL
【주민등록번호】 730726-1051111
【우편번호】 612-752
【주소】 부산광역시 해운대구 좌동 건영2차아파트 101동 903호
【국적】 KR

【발명자】

【성명의 국문표기】 노관중
 【성명의 영문표기】 ROH,KWAN JONG
 【주민등록번호】 731001-1453317
 【우편번호】 430-018
 【주소】 경기도 안양시 만안구 안양8동 394-28 101호
 【국적】 KR

【발명자】

【성명의 국문표기】 김민주
 【성명의 영문표기】 KIM,MIN JOO
 【주민등록번호】 770804-2119841
 【우편번호】 120-180
 【주소】 서울특별시 서대문구 창천동 4-97 304호
 【국적】 KR

【공지예외적용대상증명서류의 내용】

【공개형태】 1. 간행물 발표(논문)
 【공개일자】 2003.06.10

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	24	면	24,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	53,000 원			

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 공지예외적용대상(신규성상실의예외, 출원시의특례)규정을 적용받 기 위한 증명서류_1통

【요약서】

【요약】

니켈 합금 실리사이드 공정, 이를 사용하여 반도체소자를 제조하는 방법, 그에 의해 형성된 니켈 합금 실리사이드막 및 이를 사용하여 제조된 반도체소자를 제공한다. 상기 니켈 합금 실리사이드 공정은 반도체기판 상에 적어도 한 종류의 첨가원소(at least one species of additive element)를 함유하는(containing) 니켈 합금막을 형성하는 것을 구비한다. 상기 적어도 한 종류의 첨가원소의 함량(content)은 0.1 atomic% 내지 10 atomic%이다. 이어서, 상기 니켈 합금막을 갖는 반도체기판을 열처리하여 상기 니켈 합금막 및 상기 반도체기판의 반응에 의해 생성된 니켈 합금 실리사이드막을 형성한다. 상기 니켈 합금 실리사이드막은 반도체기판의 표면 상에 차례로 적층된 하부 니켈 합금 실리사이드막 및 상부 니켈 합금 실리사이드막을 갖는다. 이 경우에, 상기 하부 니켈 합금 실리사이드막은 제1 함량(first content)을 갖는 적어도 한 종류의 첨가원소(at least one species of additive element)를 함유하고, 상기 상부 니켈 합금 실리사이드막은 상기 제1 함량보다 큰 제2 함량을 갖는 상기 적어도 한 종류의 첨가원소를 함유한다. 또한, 상기 상부 니켈 합금 실리사이드막은 상기 하부 니켈 합금 실리사이드막보다 얇다.

【대표도】

도 1

【명세서】

【발명의 명칭】

니켈 합금 실리사이드 공정, 이를 사용하여 반도체소자를 제조하는 방법, 그에 의해 형성된 니켈 합금 실리사이드막 및 이를 사용하여 제조된 반도체소자{Nickel alloy silicide process, Methods of fabricating a semiconductor device using the same, nickel alloy silicide layer formed thereby and semiconductor devices fabricated using the same}

【도면의 간단한 설명】

도 1은 본 발명의 실시예들에 따른 반도체소자의 제조방법들을 설명하기 위한 공정 순서도(process flow chart)이다.

도 2 내지 도 6은 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 설명하기 위한 단면도들이다.

도 7은 본 발명의 제1 실시예에 따라 제조된 반도체소자를 도시한 단면도이다.

도 8 내지 도 10은 본 발명의 제2 실시예에 따른 반도체소자의 제조방법을 설명하기 위한 단면도들이다.

도 11은 본 발명의 실시예에 따라 제조된 니켈 탄탈륨 실리사이드막들의 열적 내성(thermal immunity) 및 종래의 니켈 실리사이드막들의 열적 내성을 보여주는 그래프이다.

도 12는 본 발명의 실시예에 따라 제조된 니켈 탄탈륨 실리사이드막들의 면저항 균일도 및 종래의 니켈 실리사이드막들의 면저항 균일도를 보여주는 그래프이다.

도 13은 본 발명의 실시예에 사용되는 니켈 탄탈륨막 내의 탄탈륨 함량(tantalum content)에 따른 면저항 특성을 보여주는 그래프이다.

도 14는 본 발명의 실시예에 따라 형성된 니켈 탄탈륨 실리사이드막의 단면도를 보여주는 전자투과 현미경(TEM; Transmission Electron Microscopy) 사진이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 셀리사이드 공정, 이를 사용하여 반도체소자를 제조하는 방법, 그에 의해 형성된 금속 실리사이드막 및 이를 사용하여 제조된 반도체소자에 관한 것으로, 특히 니켈 합금 셀리사이드 공정, 이를 사용하여 반도체소자를 제조하는 방법, 그에 의해 형성된 니켈 합금 실리사이드막 및 이를 사용하여 제조된 반도체소자에 관한 것이다.

<10> 반도체 소자는 모스 트랜지스터와 같은 개별소자(descrete device)를 스위칭 소자로 널리 채택하고 있다. 상기 반도체 소자의 집적도가 증가함에 따라, 상기 모스 트랜지스터는 점점 스케일 다운되고 있다. 그 결과, 상기 모스 트랜지스터의 채널 길이가 감소하여 단채널 효과(short channel effect)가 발생한다. 상기 채널 길이의 감소는 게이트 전극의 좁은 폭으로 이어진다. 이에 따라, 상기 게이트 전극의 전기적인 저항은 증가한다. 상기 단채널 효과를 개선하기 위해서는 상기 모스 트랜지스터의 소오스/드레인 영역의 접합깊이(junction depth)와 아울러서 게이트 절연막의 두께를 감소시키는 것이 요구된다. 결과적으로, 상기 게이트 전극의 저항(R)은 물론 상기 게이트 커패시턴스(C)가 증가한다. 이 경우에, 상기 게이트 전극에 가해지는 전기적인 신호의 전송속도(transmission speed)는 RC 지연시간(Resistance-Capacitance delay time)에 기인하여 느려진다.

- <11> 이에 더하여, 상기 소오스/드레인 영역은 얇은 접합깊이를 가지므로 그것의 면저항(sheet resistance)이 증가한다. 그 결과, 상기 단채널 모스 트랜지스터의 구동능력(drivability)이 저하된다. 이에 따라, 상기 고집적 반도체 소자에 적합한 고성능(high performance) 모스 트랜지스터를 구현하기 위하여 셀리사이드(salicide; self-aligned silicide) 기술이 널리 사용되고 있다.
- <12> 상기 셀리사이드 기술은 상기 게이트 전극 및 소오스/드레인 영역 상에 선택적으로 금속 실리사이드막을 형성하여 상기 게이트 전극 및 소오스/드레인 영역의 전기적인 저항을 낮추기 위한 공정기술(process technology)이다. 상기 금속 실리사이드막으로 코발트 실리사이드막 또는 타이타늄 실리사이드막 등이 널리 채택되고 있다. 특히, 상기 코발트 실리사이드막의 저항은 선폭의 변화에 대하여 매우 낮은 의존성을 보인다. 이에 따라, 상기 단채널 모스 트랜지스터의 게이트 전극 상에 코발트 실리사이드막을 형성하는 기술이 널리 사용되고 있다.
- <13> 상기 코발트 실리사이드막을 형성하는 방법이 미국특허 제5,989,988호에 "반도체소자 및 그 제조방법(semiconductor device and method of manufacturing the same)"이라는 제목으로 이이누마(Iinuma) 등에 의해 개시된 바 있다.
- <14> 한편, 상기 게이트 전극의 폭이 약 $0.1\ \mu\text{m}$ 보다 작은 경우에, 응집(agglomeration)이라고 알려진 현상에 기인하여 상기 코발트 실리사이드막의 적용에 한계가 있다. 이에 따라, 최근에 니켈 셀리사이드 기술이 고성능 모스 트랜지스터의 제조에 사용되고 있다. 상기 니켈 셀리사이드 기술에 의해 형성되는 니켈 실리사이드막은 다양한 조성비(diverse composition rate)를 가질 수 있다. 예를 들면, 상기 니켈 실리사이드막(nickel silicide layer)은 다이 니켈 모노 실리사이드막(di-nickel mono-silicide layer; Ni_2Si layer), 니켈 모노 실리사이드막(nickel mono-silicide layer; NiSi layer) 또는 니켈 다이 실리사이드막(nickel di-silicide

layer; NiSi₂ layer)일 수 있다. 이들 니켈 실리사이드막들중 상기 니켈 모노 실리사이드막(NiSi layer)이 가장 낮은 비저항(resistivity)을 갖는다. 그러나, 상기 니켈 모노 실리사이드막(NiSi layer)은 350℃ 내지 550℃의 저온에서 형성되는 반면에, 상기 니켈 다이 실리사이드막(NiSi₂ layer)은 550℃보다 높은 온도에서 형성된다. 따라서, 저저항성의(low resistive) 니켈 실리사이드막을 형성하기 위해서는 상기 니켈 실리사이드막을 형성하기 위한 실리사이드화 공정 및 그 후속 공정이 550℃보다 낮은 온도에서 진행되어야 한다. 즉, 상기 니켈 실리사이드 기술을 사용하여 반도체소자를 제조하기 위한 열처리 공정의 설계에 제약이 따른다.

<15> 결론적으로, 상기 니켈 실리사이드 기술을 최적화시키는 것이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자 하는 기술적 과제는 전기적인 특성의 저하(degradation of electrical characteristic) 없이 열처리 공정의 여유도를 증가시킬 수 있는 니켈 합금 실리사이드 공정을 제공하는 데 있다.

<17> 본 발명이 이루고자 하는 다른 기술적 과제는 최적화된 니켈 합금 실리사이드 공정을 사용하여 안정한 전기적 특성(stable electrical characteristic)을 얻을 수 있는 반도체소자의 제조방법을 제공하는 데 있다.

<18> 본 발명이 이루고자 하는 또 다른 기술적 과제는 열적으로 안정한 니켈 합금 실리사이드막을 제공하는 데 있다.

<19> 본 발명이 이루고자 하는 또 다른 기술적 과제는 열적으로 안정한 니켈 합금 실리사이드막을 갖는 반도체소자를 제공하는 데 있다.

【발명의 구성 및 작용】

- <20> 상기 기술적 과제를 이루기 위하여 본 발명은 신규한(novel) 니켈 합금 셀리사이드 공정을 제공한다. 이 공정은 반도체기판 상에 적어도 한 종류의 첨가원소(at least one species of additive element)를 함유하는(containing) 니켈 합금막(nickel alloy layer)을 형성하는 것을 포함한다. 상기 적어도 한 종류의 첨가원소의 함량(content)은 0.1 atomic% 내지 10 atomic%이다. 이어서, 상기 니켈 합금막을 갖는 반도체기판을 열처리하여 상기 니켈 합금막 및 상기 반도체기판의 반응을 일으킨다. 그 결과, 상기 반도체기판 상에 니켈 합금 실리사이드막이 형성된다.
- <21> 상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 크롬(Cr), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 선택된 적어도 하나일 수 있다.
- <22> 또한, 상기 열처리는 200℃ 내지 700℃의 온도에서 실시될 수 있다.
- <23> 상기 다른 기술적 과제를 이루기 위하여 본 발명은 최적화된(optimized) 니켈 합금 셀리사이드 공정을 사용하여 반도체소자를 제조하는 방법을 제공한다. 이 방법은 반도체기판의 소정영역에 모스 트랜지스터를 형성한다. 상기 모스 트랜지스터는 서로 이격된 소오스 영역 및 드레인 영역, 상기 소오스/드레인 영역들 사이의 채널 영역 상부에 형성된 게이트 패턴, 및 상기 게이트 패턴의 측벽을 덮는 스페이서를 갖도록 형성된다. 상기 모스 트랜지스터를 포함하는 반도체기판의 전면 상에 적어도 한 종류의 첨가원소를 함유하는 니켈 합금막을 형성한다. 상기 적어도 한 종류의 첨가원소의 함량은 0.1 atomic% 내지 10 atomic%이다. 이어서, 상기 니켈 합금막을 갖는 반도체기판을 열처리하여 상기 소오스/드레인 영역들 및/또는 상기 게이트 패턴 상에 니켈 합금 실리사이드막을 형성한다.

- <24> 상기 게이트 패턴은 도전성 게이트 전극만을 갖도록 형성될 수 있다. 이 경우에, 상기 니켈 합금 실리사이드막은 상기 게이트 전극 및 상기 소오스/드레인 영역들 상에 선택적으로 형성된다.
- <25> 이에 더하여, 상기 게이트 패턴이 상기 도전성 게이트 전극만으로 이루어진 경우에, 상기 니켈 합금막을 형성하기 전에 상기 소오스/드레인 영역들을 덮는 마스크 패턴을 형성할 수 있다. 상기 마스크 패턴은 절연막으로 형성된다. 그 결과, 상기 니켈 합금 실리사이드막은 상기 게이트 전극 상에만 선택적으로 형성된다.
- <26> 이와는 달리, 상기 게이트 패턴은 차례로 적층된 게이트 전극 및 게이트 캐핑막 패턴을 갖도록 형성될 수 있다. 상기 게이트 캐핑막 패턴은 절연막으로 형성된다. 이 경우에, 상기 니켈 합금 실리사이드막은 상기 소오스/드레인 영역들 상에만 선택적으로 형성된다.
- <27> 더 나아가서, 상기 게이트 패턴이 차례로 적층된 게이트 전극 및 게이트 캐핑막 패턴을 갖도록 형성된 경우에, 상기 니켈 합금막을 형성하기 전에 상기 소오스/드레인 영역들을 덮는 마스크 패턴을 형성하고 상기 게이트 캐핑막 패턴을 선택적으로 제거하여 상기 게이트 전극을 노출시킬 수 있다. 이 경우에, 상기 니켈 합금 실리사이드막은 상기 게이트 전극 상에만 선택적으로 형성된다.
- <28> 상기 또 다른 기술적 과제를 이루기 위하여 본 발명은 향상된 열적 안정성(improved thermal stability)을 갖는 니켈 합금 실리사이드막을 제공한다. 이 니켈 합금 실리사이드막은 반도체기판의 표면 상에 차례로 적층된 하부 니켈 합금 실리사이드막 및 상부 니켈 합금 실리사이드막을 포함한다. 상기 하부 니켈 합금 실리사이드막은 제1 함량(first content)을 갖는 적어도 한 종류의 첨가원소(at least one species of additive element)를 함유하고, 상기 상부 니켈 합금 실리사이드막은 상기 제1 함량보다 큰 제2 함량을 갖는 상기 적어도 한 종류의

첨가원소를 함유한다. 또한, 상기 상부 니켈 합금 실리사이드막은 상기 하부 니켈 합금 실리사이드막보다 얇다.

<29> 상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 크롬(Cr), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 선택된 적어도 하나일 수 있다.

<30> 바람직하게는, 상기 제1 함량은 0 atomic% 내지 4.9 atomic%일 수 있고, 상기 제2 함량은 5 atomic% 내지 60 atomic%일 수 있다.

<31> 또한, 상기 하부 니켈 합금 실리사이드막은 상기 니켈 합금 실리사이드막의 전체두께(total thickness)의 적어도 70%에 해당하는 두께를 갖는다.

<32> 상기 또 다른 기술적 과제를 이루기 위하여 본 발명은 열적으로 안정한 니켈 합금 실리사이드막을 채택하는 반도체소자를 제공한다. 이 반도체소자는 반도체기판의 소정영역에 형성된 모스 트랜지스터를 포함한다. 상기 모스 트랜지스터는 반도체기판에 형성되고 서로 이격된(spaced apart) 소오스/드레인 영역들 및 상기 소오스/드레인 영역들 사이의 채널 영역의 상부에 배치된 게이트 전극을 구비한다. 상기 소오스/드레인 영역들 및/또는 상기 게이트 전극 상에 하부 니켈 합금 실리사이드막 및 상부 니켈 합금 실리사이드막이 차례로 적층된다. 상기 하부 니켈 합금 실리사이드막은 제1 함량(first content)을 갖는 적어도 한 종류의 첨가원소(at least one species of additive element)를 함유하고, 상기 상부 니켈 합금 실리사이드막은 상기 제1 함량보다 큰 제2 함량을 갖는 상기 적어도 하나의 첨가원소를 함유한다.

<33> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설

명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<34> 도 1은 본 발명의 일 실시예에 따른 니켈 합금 셀리사이드 공정 및 이를 사용하여 반도체소자를 제조하는 방법을 설명하기 위한 공정 순서도(process flow chart)이다. 또한, 도 2 내지 도 6은 본 발명의 일 실시예에 따른 니켈 합금 셀리사이드 공정 및 이를 사용하여 반도체소자를 제조하는 방법을 설명하기 위한 단면도들이다.

<35> 도 1 및 도 2를 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)을 형성하여 활성영역을 한정한다. 상기 반도체기판(51)은 실리콘 기판 또는 에스오아이(SOI; silicon on insulator) 기판일 수 있다. 이에 더하여, 상기 반도체기판(51)은 게르마늄(Ge) 또는 탄소(C)를 함유하는 스트레인드 실리콘 기판(strained silicon substrate)일 수도 있다. 상기 활성영역 상에 게이트 절연막(55)을 형성한다. 상기 게이트 절연막(55)을 갖는 반도체기판의 전면 상에 게이트 도전막(gate conductive layer) 및 게이트 캐핑막(gate capping layer)을 차례로 형성한다.

<36> 상기 게이트 도전막은 비정질 실리콘막, 폴리 실리콘막 또는 단결정 실리콘막과 같은 실리콘막으로 형성할 수 있다. 상기 실리콘막은 N형의 불순물들 또는 P형의 불순물들로 도우핑될 수 있다. 이와는 달리, 상기 게이트 도전막은 실리콘막, 텅스텐 질화막(WN layer; tungsten nitride layer) 및 텅스텐막을 차례로 적층시키어 형성할 수도 있다. 이 경우에, 상기 실리콘막, 텅스텐 질화막 및 텅스텐막은 각각 800Å의 두께, 50Å의 두께 및 500Å의 두께로 형성할

수 있다. 또한, 상기 게이트 캐핑막은 실리콘 산화막 또는 실리콘 질화막과 같은 절연막으로 형성한다. 상기 게이트 캐핑막을 형성하는 공정은 생략할 수도 있다.

<37> 상기 게이트 캐핑막 및 게이트 도전막을 패터닝하여 상기 활성영역의 상부를 가로지르는 게이트 패턴(60)을 형성한다(도 1의 단계 1). 그 결과, 상기 게이트 패턴(60)은 차례로 적층된 게이트 전극(90) 및 게이트 캐핑막 패턴(59)을 포함한다. 그러나, 상기 게이트 캐핑막의 형성이 생략되는 경우에는, 상기 게이트 패턴(60)은 상기 게이트 전극(90)만으로 구성된다. 상기 게이트 도전막을 실리콘막, 텅스텐 질화막(WN layer; tungsten nitride layer) 및 텅스텐막을 차례로 적층시켜 형성하는 경우에, 상기 게이트 전극(90)은 차례로 적층된 실리콘 패턴(56), 텅스텐 질화막 패턴(57) 및 텅스텐 패턴(58)을 포함한다. 이와는 달리, 상기 게이트 도전막을 실리콘막만으로 형성하는 경우에는, 상기 게이트 전극(90)은 상기 실리콘 패턴(56)만으로 이루어진다.

<38> 이어서, 상기 게이트 패턴(60) 및 소자분리막(53)을 이온주입 마스크들로 사용하여 상기 활성영역에 제1 불순물 이온들을 주입하여 엘디디(LDD; lightly doped drain) 영역들(61)을 형성한다(도 1의 단계 3). 상기 제1 불순물 이온들은 N형 불순물 이온들 또는 P형 불순물 이온들일 수 있다.

<39> 도 1 및 도 3을 참조하면, 상기 엘디디 영역(61)을 갖는 반도체기판의 전면 상에 스페이서 절연막을 형성한다. 상기 스페이서 절연막을 이방성 식각하여 상기 게이트 패턴(60)의 측벽 상에 스페이서(63)를 형성한다(도 1의 단계 5). 상기 게이트 패턴(60), 스페이서(63) 및 소자분리막(53)을 이온주입 마스크들로 사용하여 상기 활성영역에 제2 불순물 이온들을 주입하여 소오스/드레인 영역들(65)을 형성한다(도 1의 단계 7). 그 결과, 상기 스페이서(63)의 하부에

상기 엘디디 영역들(61)이 잔존한다. 상기 제2 불순물 이온들 역시 N형 불순물 이온들 또는 P형 불순물 이온들일 수 있다.

<40> 상기 소오스/드레인 영역들(65)을 갖는 반도체기판을 열처리하여 상기 소오스/드레인 영역들(65) 내의 불순물 이온들을 활성화시킨다(도 1의 단계 9). 상기 소오스/드레인 열처리 공정은 830℃ 내지 1150℃의 온도에서 급속 열처리 공정을 사용하여 실시할 수 있다. 상기 게이트 패턴(60), 게이트 절연막(55), 소오스/드레인 영역들(65) 및 스페이서(63)는 모스 트랜지스터를 구성한다. 상기 소오스/드레인 영역들(65)은 본 실시예에서 설명된 방법 이외에 여러가지의 다른 방법들을 사용하여 형성될 수 있다. 예를 들면, 상기 소오스/드레인 영역들(65)은 반도체기판의 표면으로부터 돌출된 소오스/드레인 영역들을 형성하는 방법, 즉 엘리베이티드(elevated) 소오스/드레인 영역을 형성하는 방법을 사용하여 형성될 수도 있다.

<41> 도 1 및 도 4를 참조하면, 상기 소오스/드레인 열처리 공정이 완료된 반도체기판의 표면을 세정하여 상기 소오스/드레인 영역들(65) 상에 잔존하는 자연산화막(native oxide layer) 및 오염입자들(contaminated particles)을 제거한다. 상기 세정된 반도체기판의 전면 상에 니켈 합금막(67) 및 캐핑막(69)을 차례로 형성한다(도 1의 단계 11). 상기 니켈 합금막(67)은 적어도 한 종류의 첨가원소(at least one species of additive element)를 함유하고, 상기 니켈 합금막(67) 내의 상기 첨가원소 함량(additive element content)은 0.1 atomic% 내지 10 atomic%인 것이 바람직하다.

<42> 상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 크롬(Cr), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 선택된 적어도 하나일 수 있다. 상기 적어도 한 종류의 첨가원소는 후속 열처리 공정의 여유도를 증가시킨다. 특히, 상기 니켈 합금막(67)이 상기 탄탈륨을 함유

하는 경우에, 상기 탄탈륨은 후속 공정에서 형성되는 니켈 합금 실리사이드막의 열적 안정성 (thermal stability)을 향상시킨다.

<43> 한편, 상기 캐핑막(69)은 타이타늄 질화막으로 형성할 수 있다. 이 경우에, 상기 타이타늄 질화막은 상기 니켈 합금막의 산화를 방지한다. 그러나, 상기 캐핑막(69)의 형성은 생략할 수도 있다.

<44> 도 1 및 도 5를 참조하면, 상기 니켈 합금막(67)을 갖는 반도체기판에 실리사이드화 공정(silicidation process)을 적용한다(도 1의 단계 13). 구체적으로, 상기 실리사이드화 공정은 상기 니켈 합금막(67)을 갖는 반도체기판을 200℃ 내지 700℃의 온도에서 열처리하는 것을 포함한다. 바람직하게는, 상기 실리사이드화 공정은 300℃ 내지 500℃의 온도에서 실시한다. 상기 열처리 동안 상기 니켈 합금막(67)은 상기 소오스/드레인 영역들(65) 내의 실리콘 원자들과 반응한다. 그 결과, 도 5에 도시된 바와 같이, 상기 소오스/드레인 영역들(65)의 표면들에 니켈 합금 실리사이드막들(67c)이 형성된다. 좀 더 구체적으로, 상기 니켈 합금 실리사이드막들(67c)의 각각은 차례로 적층된 하부 니켈 합금 실리사이드막(67a) 및 상부 니켈 합금 실리사이드막(67b)을 갖도록 형성된다.

<45> 상기 하부 니켈 합금 실리사이드막(67a) 내의 상기 첨가원소 함량(additive element content)은 0 atomic% 내지 4.9 atomic%일 수 있고, 상기 상부 니켈 합금 실리사이드막(67b) 내의 상기 첨가원소 함량은 약 5 atomic% 내지 60 atomic%일 수 있다. 즉, 상기 상부 니켈 합금 실리사이드막(67b) 내의 상기 첨가원소 함량은 상기 하부 니켈 합금 실리사이드막(67a) 내의 상기 첨가원소 함량보다 크다. 또한, 상기 하부 니켈 합금 실리사이드막(67a)은 상기 상부 니켈 합금 실리사이드막(67b)보다 두껍도록 형성된다. 구체적으로, 상기 하부 니켈 합금 실

리사이드막(67a)은 상기 니켈 합금 실리사이드막(67c)의 전체두께의 적어도 70%에 해당하는 두께로 형성된다.

<46> 상기 게이트 패턴(60)이 상기 실리콘 패턴(56)만으로 이루어진 경우에, 상기 니켈 합금 막(67)의 열처리 공정 동안 상기 실리콘 패턴(56) 상에 상기 니켈 합금 실리사이드막(67c)과 동일한 물질구조(same material structure)를 갖는 다른 니켈 합금 실리사이드막(도시하지 않음)이 형성된다.

<47> 한편, 상기 게이트 패턴(60)은 차례로 적층된 폴리실리콘막, 내열성 금속 실리사이드막 및 캐핑 절연막을 갖도록 형성될 수도 있다. 상기 내열성 금속 실리사이드막은 텅스텐 실리사이드막으로 형성될 수 있다. 이 경우에, 상기 니켈 합금 실리사이드막(67c)은 상기 소오스/드레인 영역들(65) 상에만 선택적으로 형성된다.

<48> 상기 니켈 합금막(67)이 550℃보다 높은 온도에서 열처리될지라도, 상기 니켈 합금 실리사이드막(67c)은 종래의 니켈 모노 실리사이드막(NiSi layer)과 동일한 전기적인 특성을 보인다.

<49> 계속해서, 상기 스페이서(63), 소자분리막(53) 및 게이트 캐핑막 패턴(59) 상의 미반응된 니켈 합금막(unreacted nickel alloy layer)을 제거한다. 상기 미반응된 니켈 합금막은 황산용액(sulfuric acid; H_2SO_4) 및 과산화수소(hydrogen peroxide; H_2O_2)의 혼합용액(mixture)을 사용하여 제거할 수 있다. 상기 미반응된 니켈 합금막의 제거동안 상기 캐핑막(69) 역시 스트립(strip)될 수 있다.

<50> 도 1 및 도 6을 참조하면, 상기 니켈 합금 실리사이드막(67c)을 갖는 반도체기판의 전면 상에 층간절연막(69)을 형성한다(도 1의 단계 15). 상기 층간절연막(69)을 패터닝하여 상기

소오스/드레인 영역들(65) 상의 상기 니켈 합금 실리사이드막들(67c)을 노출시키는 콘택홀들을 형성한다. 상기 콘택홀들을 갖는 반도체기판의 전면 상에 금속막을 형성하고, 상기 금속막을 패터닝하여 상기 콘택홀들을 덮는 금속배선들(71)을 형성한다(도 1의 단계 17).

<51> 다음에, 도 7을 참조하여 본 발명의 일 실시예에 따라 형성된 니켈 합금 실리사이드막 및 이를 채택하는 반도체소자를 설명하기로 한다.

<52> 도 7을 참조하면, 실리콘 기판과 같은 반도체기판(51)의 표면에 서로 이격된 한 쌍의 소오스/드레인 영역들(65)이 배치된다. 상기 소오스/드레인 영역들(65) 사이의 채널 영역 상부에 절연된 게이트 전극(90)이 배치된다. 상기 게이트 전극(90)은 상기 채널 영역으로부터 게이트 절연막(55)에 의해 절연된다. 또한, 상기 게이트 전극(90)은 비정질 실리콘 패턴, 폴리실리콘 패턴 또는 단결정 실리콘 패턴과 같은 실리콘 패턴(도 2 내지 도 6의 56)일 수 있다. 이와는 달리, 상기 게이트 전극(90)은 상기 실리콘 패턴(56) 및 상기 실리콘 패턴(56) 상에 적층된 내열성 금속 실리사이드 패턴을 포함할 수도 있다. 더 나아가서, 상기 게이트 전극(90)은 도 2 내지 도 6에 보여진 바와 같이 차례로 적층된 실리콘 패턴(56), 텅스텐 질화막 패턴(57) 및 텅스텐 패턴(58)을 포함할 수 있다. 상기 게이트 전극(90)의 측벽은 절연성 스페이서(63)로 덮여진다. 상기 스페이서(63)의 하부에는 상기 소오스/드레인 영역들(65)으로부터 연장된 엘디디 영역들(61)이 존재할 수 있다.

<53> 상기 소오스/드레인 영역들(65)의 표면들 상에 니켈 합금 실리사이드막들(67c)이 적층된다. 이에 더하여, 상기 게이트 전극(90)이 상기 실리콘 패턴(56)만으로 이루어진 경우에, 상기 소오스/드레인 영역들(65)의 표면들과 아울러서 상기 실리콘 패턴(56)의 상부면 상에 상기 니켈 합금 실리사이드막들(67c)이 적층될 수 있다.

<54> 상기 니켈 합금 실리사이드막들(67c)의 각각은 차례로 적층된 하부 니켈 합금 실리사이드막(67a) 및 상부 니켈 합금 실리사이드막(67b)을 포함한다. 상기 하부 니켈 합금 실리사이드막(67a)은 제1 함량(first content)의 적어도 한 종류의 첨가원소를 함유하고, 상기 상부 니켈 합금 실리사이드막(67b)은 제2 함량의 상기 적어도 한 종류의 첨가원소를 함유한다. 상기 제1 함량은 0 atomic% 내지 4.9 atomic%인 것이 바람직하고, 상기 제2 함량은 5 atomic% 내지 60 atomic%인 것이 바람직하다. 이 경우에, 상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 크롬(Cr), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 적어도 하나일 수 있다. 또한, 상기 하부 니켈 합금 실리사이드막(67a)은 상기 상부 니켈 합금 실리사이드막(67b)보다 두껍다. 구체적으로, 상기 하부 니켈 합금 실리사이드막(67a)은 상기 니켈 합금 실리사이드막(67c)의 전체두께의 적어도 70%에 해당하는 두께를 갖는다.

<55> 도 8 내지 도 10은 본 발명의 다른 실시예에 따른 반도체소자의 제조방법을 설명하기 위한 단면도들이다.

<56> 도 8을 참조하면, 도 2 및 도 3에서 설명된 실시예와 동일한 방법을 사용하여 모스 트랜지스터를 형성한다. 본 실시예에서, 상기 모스 트랜지스터의 게이트 패턴은 도 2 및 도 3에 보여진 실리콘 패턴(56)만을 갖도록 형성된다. 다음에, 상기 모스 트랜지스터를 갖는 반도체기판의 전면 상에 마스크 절연막을 형성한다. 바람직하게는, 상기 마스크 절연막은 상기 실리콘 패턴(56)에 대하여 식각 선택비를 갖는 절연막으로 형성한다. 예를 들면, 상기 마스크 절연막은 실리콘 산화막으로 형성할 수 있다. 상기 마스크 절연막을 평탄화시키어 상기 실리콘 패턴(56)을 노출시키는 마스크 패턴(101)을 형성한다. 그 결과, 적어도 상기 소오스/드레인 영역들(65)은 상기 마스크 패턴(101)으로 덮여진다.

- <57> 도 9를 참조하면, 상기 노출된 실리콘 패턴(56)을 갖는 반도체기판의 전면 상에 니켈 합금막(103) 및 캐핑막(105)을 차례로 형성한다. 상기 니켈 합금막(103)은 도 4의 상기 니켈 합금막(67)과 동일한 물질막으로 형성하고, 상기 캐핑막(105) 역시 도 4의 캐핑막(69)과 동일한 물질막으로 형성한다. 상기 캐핑막(105)을 형성하는 공정은 생략할 수도 있다.
- <58> 도 10을 참조하면, 상기 니켈 합금막(103)을 갖는 반도체기판에 실리사이드화 공정(silicidation process)을 적용한다. 상기 실리사이드화 공정은 도 5에서 설명된 것과 동일한 방법을 사용하여 실시한다. 그 결과, 상기 실리콘 패턴(56) 상에만 선택적으로 니켈 합금 실리사이드막(103c)이 형성되고, 상기 니켈 합금 실리사이드막(103c)은 도 5에서 설명된 것과 동일한 물질구조를 갖도록 형성된다. 즉, 상기 니켈 합금 실리사이드막(103c)은 차례로 적층된 하부 니켈 합금 실리사이드막(103a) 및 상부 니켈 합금 실리사이드막(103b)을 포함한다.
- <59> 이어서, 도시하지는 않았지만, 상기 니켈 합금 실리사이드막(103c)을 포함하는 반도체기판에 금속 공정을 적용한다. 상기 금속 공정은 도 6에서 설명된 것과 동일한 방법을 사용하여 실시된다.
- <60> <실험예들; examples>
- <61> 이하에서는, 상술한 실시예들에 따라 제작된 시료들(samples)의 여러가지 측정결과들(various measurement results)을 설명하기로 한다.
- <62> 도 11은 본 발명에 따라 형성된 니켈 탄탈륨 실리사이드막 및 종래의 니켈 모노 실리사이드막의 저항 대 열처리온도 특성(resistance vs. annealing temperature characteristic)을 보여주는 그래프이다. 도 11의 그래프에 있어서, 가로축(abscissa)은 추가 열처리 온도

(additional annealing temperature)를 나타내고, 세로축은 면저항(sheet resistance)을 나타낸다.

<63> 본 발명에 따른 니켈 탄탈륨 실리사이드막은 3.5 atomic%의 탄탈륨 함량을 갖는 니켈 탄탈륨막을 사용하여 형성하였고, 종래의 니켈 모노 실리사이드막은 순수 니켈막(pure nickel layer)을 사용하여 형성하였다. 상기 니켈 탄탈륨막 및 순수 니켈막은 모두 실리콘 웨이퍼들 상에 직접적으로 형성되었다. 이어서, 상기 니켈 탄탈륨막 및 상기 순수 니켈막을 450℃의 온도에서 30초 동안 열처리하였다. 그 결과, 상기 실리콘 웨이퍼들의 표면들에 상기 니켈 탄탈륨 실리사이드막 및 상기 니켈 모노 실리사이드막이 형성되었다. 상기 니켈 탄탈륨 실리사이드막 및 니켈 모노 실리사이드막은 상온(room temperature) 내지 750℃ 사이의 온도에서 추가로 열처리되었다. 상기 추가 열처리 공정(additional annealing process)은 급속 열처리 공정(RTP; rapid thermal process)을 사용하여 5분 동안 실시되었다.

<64> 도 11을 참조하면, 본 발명에 따라 형성된 니켈 탄탈륨 실리사이드막은 상온(room temperature) 및 750℃ 사이의 추가 열처리 온도의 범위 내에서 균일한 면저항 특성을 보였다. 구체적으로, 본 발명에 따른 상기 니켈 탄탈륨 실리사이드막은 750℃의 온도에서 실시된 추가 열처리 공정 후에도 약 4.5 ohm/sq.의 균일한 면저항을 보였다. 이에 반하여, 종래의 니켈 모노 실리사이드막은 600℃보다 높은 추가 열처리 온도에서 불안정한 면저항 특성을 보였다. 구체적으로, 종래의 니켈 모노 실리사이드막은 750℃의 온도에서 실시된 추가 열처리 공정 후에 약 100 ohm/sq.의 높은 면저항을 보였다. 정확히 말하자면(to be precise), 도 11의 면저항 값들은 상기 실리콘 기판의 면저항값(sheet resistance value)을 포함한다. 여기서, 상기 실리콘 웨이퍼의 면저항은 상기 실리사이드막들의 면저항에 비하여 현저히 높다. 예를 들면, 상기 실리콘 웨이퍼는 일반적으로 약 1500 ohm/sq.의 면저항을 갖는다. 따라서, 상기 면저항의 측정

동안 흐르는 전류의 대부분은 상기 실리사이드막들을 통하여 흐른다. 결과적으로, 도 11에 보여진 면저항 값들(sheet resistance values)이 실질적으로 상기 실리사이드막들의 면저항 값들에 해당한다는 것은 당업자에게 자명하다.

<65> 결론적으로, 본 발명에 따른 니켈 탄탈륨 실리사이드막은 종래의 니켈 모노 실리사이드막에 비하여 더욱 향상된 열적 안정성을 보였다.

<66> 도 12는 본 발명에 따른 니켈 탄탈륨 실리사이드막 및 종래의 니켈 모노 실리사이드막의 면저항 균일도들(sheet resistance uniformities)을 보여주는 그래프이다. 도 12의 그래프에 있어서, 가로축은 면저항을 나타내고, 세로축은 축적분포율(cumulative distribution rate)을 나타낸다.

<67> 본 발명에 따른 니켈 탄탈륨 실리사이드막은 3.5 atomic%의 탄탈륨 함량을 갖는 니켈 탄탈륨막을 사용하여 형성하였고, 종래의 니켈 모노 실리사이드막은 순수 니켈막(pure nickel layer)을 사용하여 형성하였다. 상기 니켈 탄탈륨막 및 순수 니켈막은 모두 500 Å의 두께 및 500 Å의 폭을 갖는 라인 형태의(line-shaped) 폴리실리콘 패턴들 상에 형성되었다. 이어서, 상기 니켈 탄탈륨막 및 상기 순수 니켈막을 450°C의 온도에서 30초 동안 열처리하였다. 그 결과, 본 발명에 따른 니켈 탄탈륨 실리사이드막 및 종래의 니켈 모노 실리사이드막이 상기 폴리실리콘 패턴들의 상부면들에 형성되었다. 다시 말해서, 상기 니켈 탄탈륨 실리사이드 패턴들 및 니켈 모노 실리사이드 패턴들은 500 Å의 폭을 갖도록 형성되었다.

<68> 도 12를 참조하면, 본 발명에 따라 형성된 니켈 탄탈륨 실리사이드 패턴들은 약 4 ohm/sq. 내지 6 ohm/sq.의 균일한 면저항값들을 보였다. 이에 반하여, 종래의 니켈 모노 실리사이드 패턴들은 약 30 ohm/sq. 내지 300 ohm/sq.의 높고 불균일한(high and non-uniform) 면저항값들을 보였다.

- <69> 도 13은 본 발명에 사용되는 니켈 탄탈륨막 내의 탄탈륨 함량(tantalum content)에 따른 니켈 탄탈륨 실리사이드막의 면저항을 보여주는 그래프이다. 도 13의 그래프에 있어서, 가로축은 니켈 탄탈륨막 내의 탄탈륨 함량을 나타내고, 세로축은 니켈 탄탈륨 실리사이드막의 면저항을 나타낸다.
- <70> 상기 니켈 탄탈륨막들은 실리콘 웨이퍼들 상에 직접적으로 형성하였고, 상기 니켈 탄탈륨막들은 450℃의 온도에서 30초 동안 열처리되었다. 그 결과, 상기 실리콘 웨이퍼들의 표면들에 니켈 탄탈륨 실리사이드막들이 형성되었다.
- <71> 도 13을 참조하면, 0.1 atomic% 내지 10 atomic%의 탄탈륨 함량을 갖는 니켈 탄탈륨막을 사용하여 형성된 니켈 탄탈륨 실리사이드막들은 약 6 ohm/sq.보다 낮은 면저항을 보였다. 특히, 0.1 atomic% 내지 5 atomic%의 탄탈륨 함량을 갖는 니켈 탄탈륨막을 사용하여 형성된 니켈 탄탈륨 실리사이드막들은 약 4.7 ohm/sq.의 균일한 면저항값들을 보였다. 도 13에 있어서, 0 atomic%의 탄탈륨 함량을 갖는 니켈 탄탈륨막은 순수 니켈막에 해당한다. 한편, 상기 탄탈륨 함량이 10 atomic% 또는 그 보다 큰 경우에는, 도 13에 보여진 바와 같이 상기 니켈 탄탈륨 실리사이드막의 면저항이 급격히 증가하였다. 예를 들면, 15 atomic%의 탄탈륨 함량을 갖는 니켈 탄탈륨막을 사용하여 형성된 니켈 탄탈륨 실리사이드막은 약 8.1 ohm/sq.의 면저항을 보였다.
- <72> 결론적으로, 안정한 전기적 특성과 아울러서 열적 안정성(thermal stability)을 갖는 니켈 탄탈륨 실리사이드막을 형성하기 위해서는 상기 니켈 탄탈륨막 내의 탄탈륨 함량이 10 atomic%보다 작은 것이 바람직하다. 가장 바람직하게는, 상기 니켈 탄탈륨막 내의 탄탈륨 함량은 5 atomic%보다 작다.

<73> 한편, 3.5 atomic%의 탄탈륨 함량, 5 atomic%의 탄탈륨 함량 및 10 atomic%의 탄탈륨 함량을 갖는 니켈 탄탈륨막들을 사용하여 형성된 니켈 탄탈륨 실리사이드막들의 물질구조들(material structures)이 전자투과 현미경(TEM) 및 RBS(Rutherford Backscattering Spectroscopy)를 사용하여 분석되었다. 여기서, 상기 니켈 탄탈륨막들의 열처리 공정은 450℃의 온도에서 30초 동안 실시되었다. 상기 분석 결과들(analysis results)은 다음의 [표]에 요약되었다.

<74> 【표 1】

탄탈륨 함량	상부 NiTa 실리사이드막				하부 NiTa 실리사이드막			
	Ni	Ta	Si	두께	Ni	Ta	Si	두께
3.5 at %	60 at %	12 at %	28 at %	39 Å	48 at %	0.1 at %	51.9at %	320 Å
5 at %	30 at %	54 at %	16 at %	33 Å	50 at %	0.2 at %	49.8at %	420 Å
10 at %	1 at %	98 at %	1 at %	40 Å	50 at %	0.2 at %	49.8at %	435 Å

<75> 상기 [표 1]로부터 알 수 있듯이, 본 발명에 따라 형성된 상기 니켈 탄탈륨 실리사이드막들의 각각은 하부 니켈 탄탈륨 실리사이드막 및 상부 니켈 탄탈륨 실리사이드막이 차례로 적층된 구조를 가졌다.

<76> 3.5 atomic%의 탄탈륨 함량을 갖는 니켈 탄탈륨막을 사용하여 형성된 니켈 탄탈륨 실리사이드막에 있어서, 상기 상부 니켈 탄탈륨 실리사이드막은 39 Å의 두께를 가졌고 상기 하부 니켈 탄탈륨 실리사이드막은 320 Å의 두께를 가졌다. 이 경우에, 상기 상부 니켈 탄탈륨 실리사이드막 내의 탄탈륨 함량은 12 atomic%이었고, 상기 하부 니켈 탄탈륨 실리사이드막 내의 탄탈륨 함량은 0.1 atomic%이었다.

- <77> 또한, 5 atomic%의 탄탈륨 함량을 갖는 니켈 탄탈륨막을 사용하여 형성된 니켈 탄탈륨 실리사이드막에 있어서, 상기 상부 니켈 탄탈륨 실리사이드막은 33 Å의 두께를 가졌고 상기 하부 니켈 탄탈륨 실리사이드막은 420 Å의 두께를 가졌다. 이 경우에, 상기 상부 니켈 탄탈륨 실리사이드막 내의 탄탈륨 함량은 54 atomic%이었고, 상기 하부 니켈 탄탈륨 실리사이드막 내의 탄탈륨 함량은 0.2 atomic%이었다.
- <78> 이에 더하여, 10 atomic%의 탄탈륨 함량을 갖는 니켈 탄탈륨막을 사용하여 형성된 니켈 탄탈륨 실리사이드막에 있어서, 상기 상부 니켈 탄탈륨 실리사이드막은 40 Å의 두께를 가졌고 상기 하부 니켈 탄탈륨 실리사이드막은 435 Å의 두께를 가졌다. 이 경우에, 상기 상부 니켈 탄탈륨 실리사이드막 내의 탄탈륨 함량은 98 atomic%이었고, 상기 하부 니켈 탄탈륨 실리사이드막 내의 탄탈륨 함량은 0.2 atomic%이었다.
- <79> 결과적으로, 상기 니켈 탄탈륨막 내의 탄탈륨 함량이 증가될지라도, 상기 하부 니켈 탄탈륨 실리사이드막의 조성비(composition ratio)는 거의 변화하지 않았다. 그러나, 상기 상부 니켈 탄탈륨 실리사이드막 내의 탄탈륨 함량은 상기 니켈 탄탈륨막 내의 탄탈륨 함량의 증가와 함께 급격히(abruptly) 증가되었다.
- <80> 결론적으로, 상기 니켈 탄탈륨막 내의 탄탈륨 함량의 증가는 상기 상부 니켈 탄탈륨 실리사이드막 내의 탄탈륨 함량의 증가와 아울러서 상기 니켈 탄탈륨 실리사이드막의 면저항의 증가를 초래하는 것으로 이해될 수 있다. 따라서, 도 13 및 상기 [표]로부터 알 수 있듯이, 상기 니켈 탄탈륨막 내의 탄탈륨 함량(tantalum content)은 10 atomic%보다 작은 것이 바람직하다.
- <81> 이에 더하여, 상기 하부 니켈 탄탈륨 실리사이드막은 상기 [표]에 기재된 바와 같이 상기 상부 니켈 탄탈륨 실리사이드막보다 두꺼웠다.

<82> 더 나아가서(furthermore), 도 11에서 설명된 상기 니켈 탄탈륨 실리사이드막의 단면도가 도 14에 보여졌다. 도 14는 추가 열처리 전에 전자투과 현미경(TEM)을 사용하여 촬영된(taken) 사진이다.

<83> 도 14로부터 알 수 있듯이, 본 발명에 따라 형성된 니켈 탄탈륨 실리사이드막은 하부 니켈 탄탈륨 실리사이드막(도 14의 layer 2) 및 상부 니켈 탄탈륨 실리사이드막(도 14의 layer 1)으로 이루어졌다.

【발명의 효과】

<84> 상술한 바와 같이 본 발명에 따르면, 탄탈륨과 같은 첨가원소(additive element)를 함유하는 니켈 합금막을 사용하여 니켈 합금 실리사이드막을 형성하는 경우에, 상기 니켈 합금 실리사이드막의 열적 안정성을 현저히 개선시킬 수 있다. 이에 따라, 상기 니켈 합금 실리사이드막을 형성하기 위한 실리사이드화 공정 및/또는 후속 열처리 공정의 여유도를 증가시킬 수 있다. 다시 말해서, 신뢰성 있는 고성능 반도체소자(reliable high performance semiconductor device)를 제조하는 것이 가능하다.

【특허청구범위】**【청구항 1】**

실리콘을 함유하는 반도체기판 상에 적어도 한 종류의 첨가원소(at least one species of additive element)를 함유하는(containing) 니켈 합금막을 형성하되, 상기 적어도 한 종류의 첨가원소의 함량(content)은 0.1 atomic% 내지 10 atomic%이고,

상기 니켈 합금막을 갖는 반도체기판을 열처리하여 상기 니켈 합금막 및 상기 반도체기판의 반응에 의해 생성된 니켈 합금 실리사이드막을 형성하는 것을 포함하는 니켈 합금 셀리사이드 공정.

【청구항 2】

제 1 항에 있어서,

상기 적어도 한 종류의 첨가원소의 함량은 0.1 atomic% 내지 5 atomic%인 것을 특징으로 하는 니켈 합금 셀리사이드 공정.

【청구항 3】

제 1 항에 있어서,

상기 니켈 합금막을 형성하기 전에 상기 반도체기판 상에 실리콘 패턴을 형성하는 것을 더 포함하되, 상기 니켈 합금막은 상기 실리콘 패턴과 접촉하도록 형성되고, 상기 니켈 합금막은 상기 열처리 동안 상기 실리콘 패턴과 반응하는 것을 특징으로 하는 니켈 합금 셀리사이드 공정.

【청구항 4】

제 3 항에 있어서,

상기 실리콘 패턴은 비정질 실리콘막, 폴리실리콘막 또는 단결정 실리콘막으로 형성하는 것을 특징으로 하는 니켈 합금 샐리사이드 공정.

【청구항 5】

제 1 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 크롬(Cr), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 적어도 하나인 것을 특징으로 하는 니켈 합금 샐리사이드 공정.

【청구항 6】

제 1 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta)인 것을 특징으로 하는 니켈 합금 샐리사이드 공정.

【청구항 7】

제 1 항에 있어서,

상기 열처리는 200℃ 내지 700℃의 온도에서 실시되는 것을 특징으로 하는 니켈 합금 샐리사이드 공정.

【청구항 8】

제 1 항에 있어서,

상기 열처리는 300℃ 내지 500℃의 온도에서 실시되는 것을 특징으로 하는 니켈 합금 실리콘사이드 공정.

【청구항 9】

반도체기판의 소정영역에 모스 트랜지스터를 형성하되, 상기 모스 트랜지스터는 서로 이격된 소오스 영역 및 드레인 영역, 상기 소오스/드레인 영역들 사이의 채널 영역 상부에 형성된 게이트 패턴, 및 상기 게이트 패턴의 측벽을 덮는 스페이서를 갖고,

상기 모스 트랜지스터를 갖는 반도체기판의 전면 상에 적어도 한 종류의 첨가원소를 함유하는 니켈 합금막을 형성하되, 상기 적어도 한 종류의 첨가원소의 함량은 0.1 atomic% 내지 10 atomic%이고,

상기 니켈 합금막을 갖는 반도체기판을 열처리하여 적어도 상기 소오스/드레인 영역들 상에 니켈 합금 실리콘사이드막을 형성하는 것을 포함하는 반도체소자의 제조방법.

【청구항 10】

제 9 항에 있어서,

상기 게이트 패턴을 형성하는 것은

상기 반도체기판 상에 실리콘막을 형성하고,

상기 실리콘막을 패터닝하는 것을 포함하되, 상기 패터닝된 실리콘막 및 그 위의 상기 니켈 합금막은 상기 열처리 동안 서로 반응하여 게이트 니켈 합금 실리콘사이드막을 생성시키는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 11】

제 9 항에 있어서,

상기 게이트 패턴을 형성하는 것은

상기 반도체기판 상에 도전막 및 절연막을 차례로 형성하고,

상기 절연막 및 상기 도전막을 연속적으로 패터닝하는 것을 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 12】

제 9 항에 있어서,

상기 적어도 한 종류의 첨가원소의 함량은 0.1 atomic% 내지 5 atomic%인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 13】

제 9 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 크롬(Cr), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 적어도 하나인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 14】

제 9 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta)인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 15】

제 9 항에 있어서,

상기 니켈 합금막을 열처리하는 것은 200℃ 내지 700℃의 온도에서 실시되는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 16】

제 9 항에 있어서,

상기 니켈 합금막을 열처리하는 것은 300℃ 내지 500℃의 온도에서 실시되는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 17】

제 9 항에 있어서,

상기 니켈 합금 실리사이드막을 형성한 후에, 상기 스페이서 상에 잔존하는 미반응된 (unreacted) 니켈 합금막을 제거하고,

상기 미반응된 니켈 합금막이 제거된 반도체기판의 전면 상에 층간절연막을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 18】

제 17 항에 있어서,

상기 니켈 합금막의 열처리 전에 상기 니켈 합금막 상에 캐핑막을 형성하는 것을 더 포함하되, 상기 캐핑막은 상기 미반응된 니켈 합금막과 함께 제거되는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 19】

제 18 항에 있어서,

상기 캐핑막은 타이타늄 질화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 20】

반도체기판의 소정영역에 모스 트랜지스터를 형성하되, 상기 모스 트랜지스터는 서로 이격된 소오스 영역 및 드레인 영역, 상기 소오스/드레인 영역들 사이의 채널 영역 상부에 형성된 게이트 패턴, 및 상기 게이트 패턴의 측벽을 덮는 스페이서를 갖고,

상기 모스 트랜지스터를 갖는 반도체기판 상에 상기 게이트 패턴을 노출시키는 절연성 마스크 패턴을 형성하되, 상기 절연성 마스크 패턴은 상기 소오스/드레인 영역들을 덮고,

상기 마스크 패턴을 포함하는 반도체기판의 전면 상에 적어도 한 종류의 첨가원소를 함유하는 니켈 합금막을 형성하되, 상기 적어도 한 종류의 첨가원소의 함량은 0.1 atomic% 내지 10 atomic%이고,

상기 니켈 합금막을 갖는 반도체기판을 열처리하여 상기 게이트 패턴 상에 선택적으로 니켈 합금 실리사이드막을 형성하는 것을 포함하는 반도체소자의 제조방법.

【청구항 21】

제 20 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프니움(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 크롬(Cr), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 적어도 하나인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 22】

제 20 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta)인 것을 특징으로 하는 반도체소자의 제조 방법.

【청구항 23】

제 20 항에 있어서,

상기 니켈 합금막을 열처리하는 것은 200℃ 내지 700℃의 온도에서 실시되는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 24】

제 20 항에 있어서,

상기 니켈 합금막을 열처리하는 것은 300℃ 내지 500℃의 온도에서 실시되는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 25】

실리콘을 함유하는 반도체기판의 표면 상에 형성되되, 제1 함량(first content)을 갖는 적어도 한 종류의 첨가원소(at least one species of additive element)를 함유하는 하부 니켈 합금 실리사이드막; 및

상기 하부 니켈 합금 실리사이드막 상에 형성되고 상기 제1 함량보다 큰 제2 함량을 갖는 상기 적어도 한 종류의 첨가원소를 함유하는 상부 니켈 합금 실리사이드막을 포함하되, 상기 상부 니켈 합금 실리사이드막은 상기 하부 니켈 합금 실리사이드막보다 얇은 것을 특징으로 하는 니켈 합금 실리사이드막.

【청구항 26】

제 25 항에 있어서,

상기 반도체기판은 N형 불순물들 또는 P형 불순물들로 도우핑된 불순물 영역인 것을 특징으로 하는 니켈 합금 실리콘사이드막.

【청구항 27】

제 25 항에 있어서,

상기 반도체기판은 실리콘 패턴인 것을 특징으로 하는 니켈 합금 실리콘사이드막.

【청구항 28】

제 25 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 크롬(Cr), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 적어도 하나인 것을 특징으로 하는 니켈 합금 실리콘사이드막.

【청구항 29】

제 25 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta)인 것을 특징으로 하는 니켈 합금 실리콘사이드막.

【청구항 30】

제 28 항에 있어서,

상기 제1 함량은 0 atomic% 내지 4.9 atomic%이고, 상기 제2 함량은 5 atomic% 내지 60 atomic%인 것을 특징으로 하는 니켈 합금 실리콘사이드막.

【청구항 31】

제 28 항에 있어서,

상기 하부 니켈 합금 실리사이드막은 상기 상부 니켈 합금 실리사이드막 및 상기 하부 니켈 합금 실리사이드막의 전체두께(total thickness)의 적어도 70%에 해당하는 두께를 갖는 것을 특징으로 하는 니켈 합금 실리사이드막.

【청구항 32】

반도체기판에 형성되고 서로 이격된(spaced apart) 소오스 영역 및 드레인 영역;

상기 소오스/드레인 영역들 사이의 채널 영역 상부에 배치된 게이트 패턴;

상기 게이트 패턴의 측벽 상에 형성된 절연성 스페이서; 및

상기 소오스/드레인 영역들 상에 차례로 적층된 하부 니켈 합금 실리사이드막 및 상부 니켈 합금 실리사이드막으로 구성된 니켈 합금 실리사이드막을 포함하되, 상기 하부 니켈 합금 실리사이드막은 제1 함량(first content)을 갖는 적어도 한 종류의 첨가원소(at least one species of additive element)를 함유하고, 상기 상부 니켈 합금 실리사이드막은 상기 제1 함량보다 큰 제2 함량을 갖는 상기 적어도 하나의 첨가원소를 함유하는 것을 특징으로 하는 반도체소자.

【청구항 33】

제 32 항에 있어서,

상기 게이트 패턴은 차례로 적층된 실리콘 패턴 및 절연막 패턴을 포함하는 것을 특징으로 하는 반도체소자.

【청구항 34】

제 32 항에 있어서,

상기 게이트 패턴이 실리콘 패턴인 경우에 상기 게이트 패턴 상에 형성된 다른 니켈 합금 실리사이드막을 더 포함하되, 상기 다른 니켈 합금 실리사이드막은 상기 소오스/드레인 영역들 상의 상기 니켈 합금 실리사이드막과 동일한 물질구조(the same material structure)를 갖는 것을 특징으로 하는 반도체소자.

【청구항 35】

제 32 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 크롬(Cr), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 적어도 하나인 것을 특징으로 하는 반도체소자.

【청구항 36】

제 32 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta)인 것을 특징으로 하는 반도체소자.

【청구항 37】

제 35 항에 있어서,

상기 제1 함량은 0 atomic% 내지 4.9 atomic%이고, 상기 제2 함량은 5 atomic% 내지 60 atomic%인 것을 특징으로 하는 반도체소자.

【청구항 38】

제 35 항에 있어서,

상기 하부 니켈 합금 실리사이드막은 상기 니켈 합금 실리사이드막의 전체두께의 적어도 70%에 해당하는 두께를 갖는 것을 특징으로 하는 반도체소자.

【청구항 39】

반도체기판에 형성되고 서로 이격된(spaced apart) 소오스 영역 및 드레인 영역;

상기 소오스/드레인 영역들 사이의 채널 영역 상부에 배치된 게이트 전극;

상기 게이트 패턴의 측벽 상에 형성된 절연성 스페이서; 및

상기 게이트 전극 상에 차례로 적층된 하부 니켈 합금 실리사이드막 및 상부 니켈 합금 실리사이드막으로 구성된 니켈 합금 실리사이드막을 포함하되, 상기 하부 니켈 합금 실리사이드막은 제1 함량(first content)을 갖는 적어도 한 종류의 첨가원소(at least one species of additive element)를 함유하고, 상기 상부 니켈 합금 실리사이드막은 상기 제1 함량보다 큰 제2 함량을 갖는 상기 적어도 하나의 첨가원소를 함유하는 것을 특징으로 하는 반도체소자.

【청구항 40】

제 39 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 크롬(Cr), 팔라듐(Pd), 바나듐(V) 및 니오비움(Nb)으로 이루어진 일 군중 적어도 하나인 것을 특징으로 하는 반도체소자.

【청구항 41】

제 39 항에 있어서,

상기 적어도 한 종류의 첨가원소는 탄탈륨(Ta)인 것을 특징으로 하는 반도체소자.

【청구항 42】

제 40 항에 있어서,

상기 제1 함량은 0 atomic% 내지 4.9 atomic%이고, 상기 제2 함량은 5 atomic% 내지 60 atomic%인 것을 특징으로 하는 반도체소자.

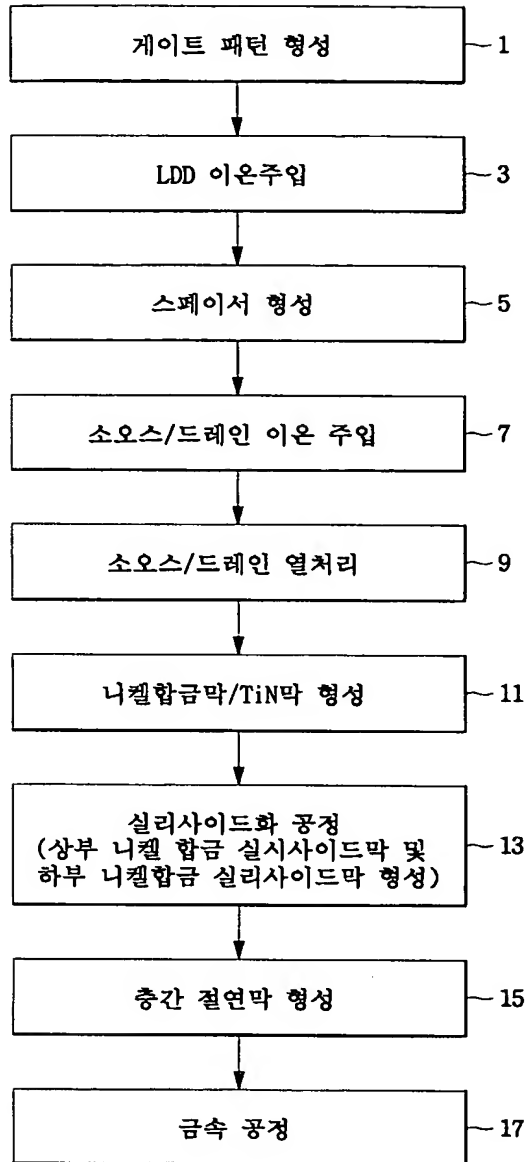
【청구항 43】

제 40 항에 있어서,

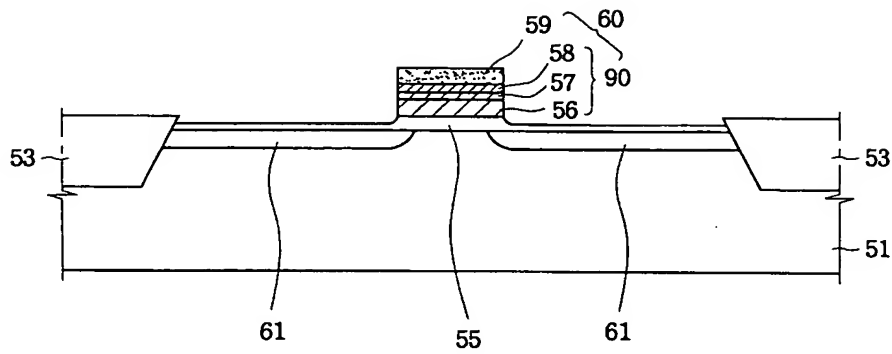
상기 하부 니켈 합금 실리사이드막은 상기 니켈 합금 실리사이드막의 전체두께의 적어도 70%에 해당하는 두께를 갖는 것을 특징으로 하는 반도체소자.

【도면】

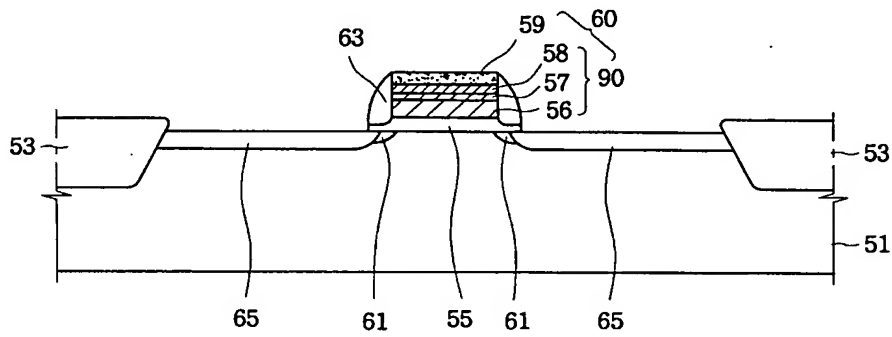
【도 1】



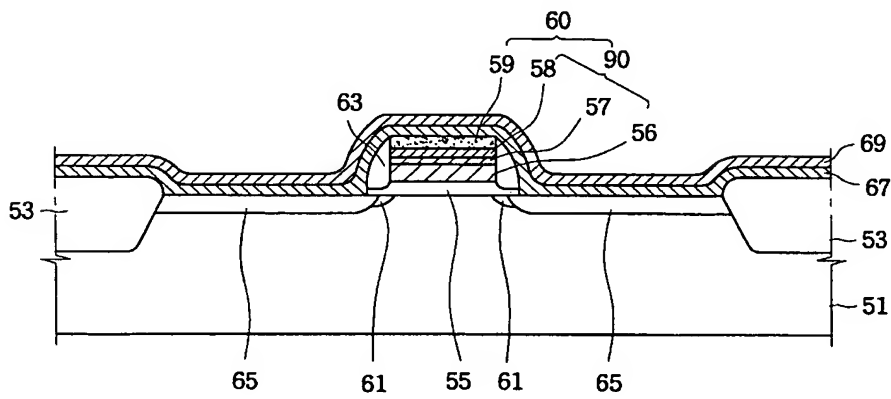
【도 2】



【도 3】



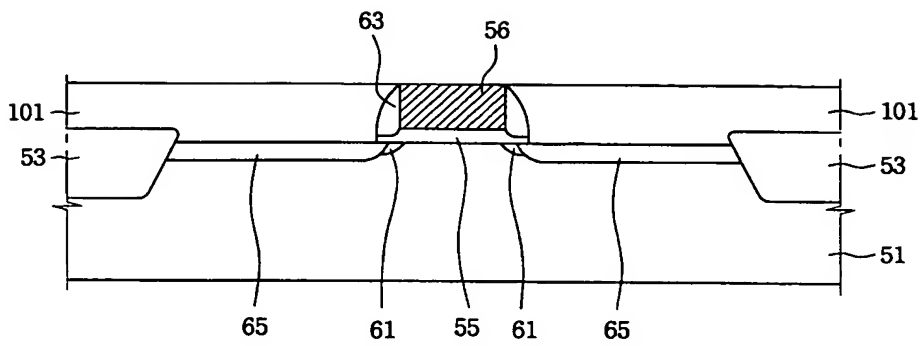
【도 4】



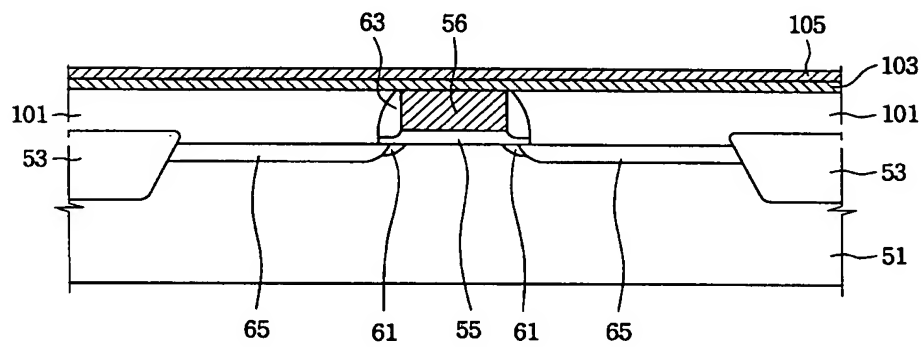
This cross-sectional view shows a semiconductor device with a central gate structure. The device includes a substrate (51) with a layer (53) on top. A central gate stack (56, 57, 58, 59) is positioned over a channel region (55). The gate stack is flanked by side regions (61) and a central region (63). The side regions (61) are covered by a layer (65) and a top layer (69). The central region (63) is covered by a layer (60) and a top layer (69). The side regions (61) also contain a layer (67a, 67b, 67c). The central region (63) contains a layer (60). The top layer (69) is shown in cross-section with a wavy pattern (71).

FIG. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 51 with a central region 55 and two side regions 61. A thin layer 65 is formed on the top surface of the substrate. A central block 63 is formed on the top surface of the central region 55, with a top layer 67c and side layers 67a and 67b. A layer 90 is formed on the top surface of the central block 63. The side regions 61 have a layer 65 on top, with a top layer 67c and side layers 67a and 67b.

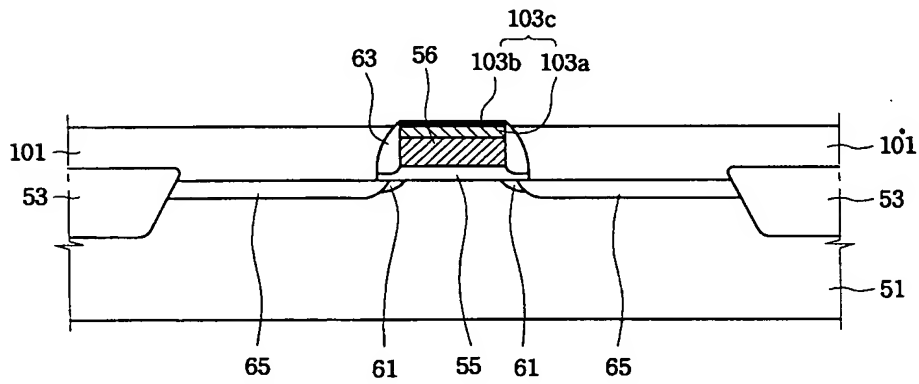
【도 8】



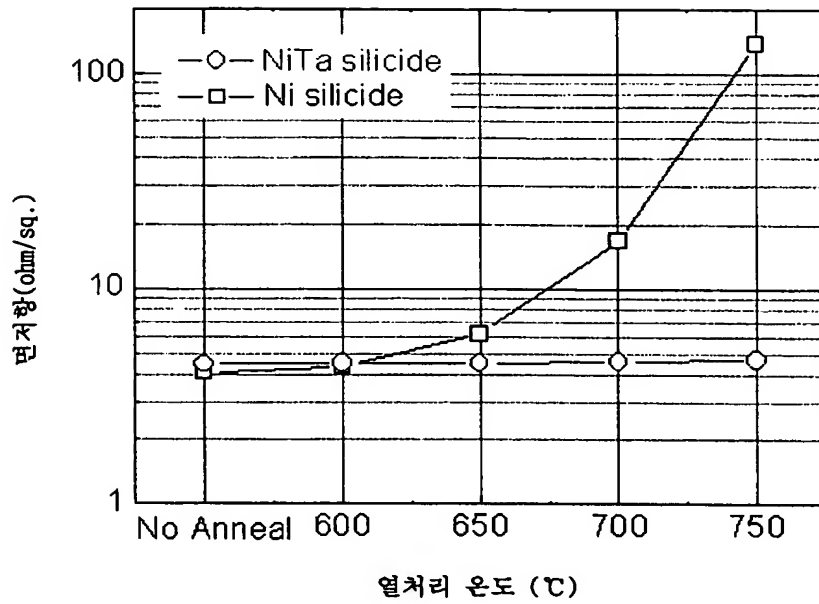
【도 9】



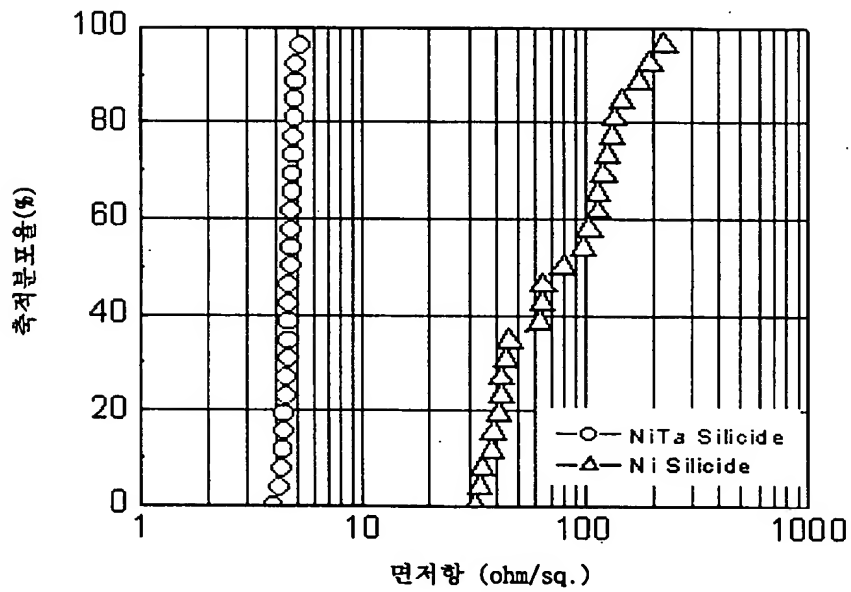
【도 10】



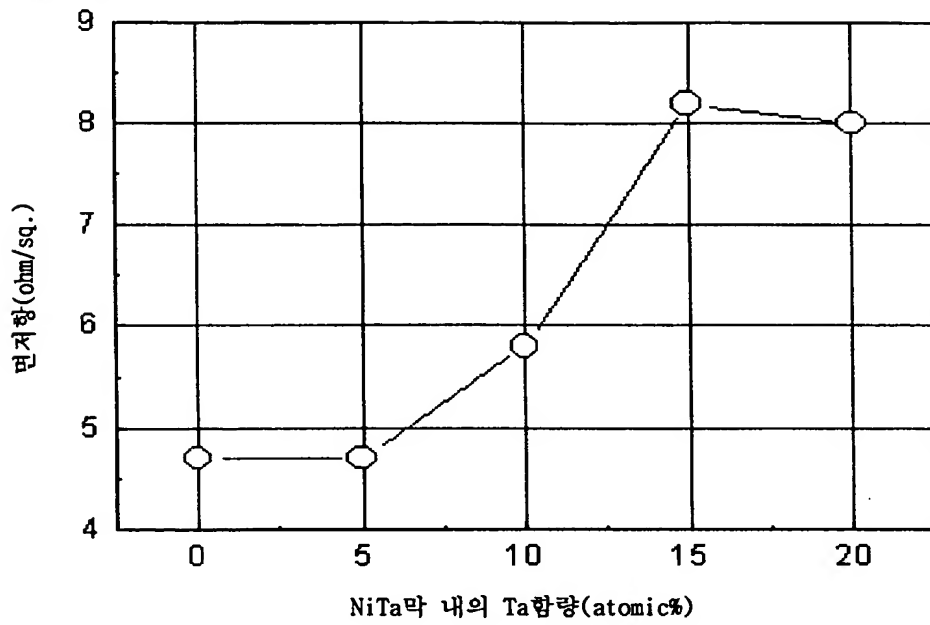
【도 11】



【도 12】



【도 13】



【도 14】

